

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY

As rescanning documents *will not* correct images, please do not report the images to the Image Problem Mailbox.

PROGRAMMABLE READ ONLY MEMORY AND ITS WRITING METHOD

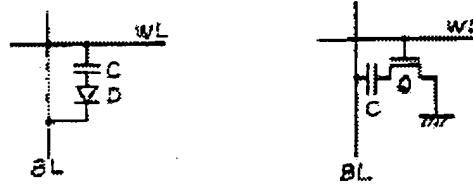
Patent number: JP61292295
Publication date: 1986-12-23
Inventor: SUZUKI TETSUO
Applicant: FUJITSU LTD
Classification:
 - international: G11C17/00; G11C17/06
 - european:
Application number: JP19850133836 19850619
Priority number(s):

Abstract of JP61292295

PURPOSE: To prevent the breakdown of a diode or a transistor which constitutes a memory cell and a capacitor for a non-writing memory cell by performing a writing using three or more potentials.

CONSTITUTION: A programmable read-only memory connects a memory cell which consists of a capacitor C connected in series and a diode D or a transistor Q between each word line WL and each bit line BL respectively. When the writing is performed with breaking down the capacitor C, assuming that a selecting word line impression voltage is set as VrS, a selecting bit line impression voltage as VcS, a non-selecting word line impression voltage as VrN, a non-selecting bit line impression voltage VcN, a writing threshold voltage which breaks down the capacitor as VWT and the breakdown voltage of the diode or the transistor as VB, the writing can be performed by the selection of each voltage so as to satisfy expressions (1)-(4). Assuming that VcN=VrS, the writing condition can be satisfied on three voltage levels.

$$\begin{aligned}
 & V_{WT} \leq V_{rN} = V_{cN} \quad \dots \dots \dots (1) \\
 & V_{WT} < V_{rN} = V_{cN} < V_{rS} \quad \dots \dots \dots (2) \\
 & V_{WT} < V_{rN} \leq V_{cN} \quad \dots \dots \dots (3) \\
 & V_{WT} < V_{rN} = V_{cN} \leq V_{rS} \quad \dots \dots \dots (4)
 \end{aligned}$$



Data supplied from the **esp@cenet** database - Worldwide

⑱ 公開特許公報 (A) 昭61-292295

⑲ Int.Cl.

G 11 C 17/00
17/06

識別記号

101

厅内整理番号

6549-5B
6549-5B

⑳ 公開 昭和61年(1986)12月23日

審査請求 未請求 発明の数 2 (全6頁)

㉑ 発明の名称 プログラマブルリードオンリメモリおよびその書き込み方法

㉒ 特願 昭60-133836

㉓ 出願 昭60(1985)6月19日

㉔ 発明者 鈴木 哲雄 川崎市中原区上小田中1015番地 富士通株式会社内

㉕ 出願人 富士通株式会社 川崎市中原区上小田中1015番地

㉖ 代理人 弁理士 松岡 宏四郎

明細書

1. 発明の名称

プログラマブルリードオンリメモリ
およびその書き込み方法

2. 特許請求の範囲

(1) 各ワード線(WL)と各ビット線(BL)間に、直列接続されたキャパシタ(C)とダイオード(D)もしくはトランジスタ(O)とよりなるメモリセルをそれぞれ接続してなるメモリセルアレイ(11)と、該メモリセルアレイに、つぎの関係式

選択ワード線(WL)に印加する電圧を V_{rs} 、
選択ビット線(BL)に印加する電圧を V_{cs} 、
非選択ワード線(WL)に印加する電圧を V_{rn} 、
非選択ビット線(BL)に印加する電圧を V_{cn} 、
キャパシタ(C)を絶縁破壊する、書きしきい値電圧を V_{wt} 、
ダイオード(D)もしくはトランジスタ(O)の破壊電圧を V_s とすると、

$$V_{wt} \leq V_{rs} - V_{cs}, \dots \dots \dots (1)$$

$$-V_s < V_{rs} - V_{cs} < V_{wt}, \dots \dots (2)$$

$$-V_s < V_{rn} < V_{wt}, \dots \dots \dots (3)$$

$$-V_s < V_{rn} - V_{cn} < V_{wt}, \dots \dots (4)$$

を満足する電圧レベル V_{rs} 、 V_{cs} 、 V_{rn} 、 V_{cn} を与えるドライバ回路

とを含むことを特徴とするプログラマブルリードオンリメモリ。

(2) 各ワード線(WL)と各ビット線(BL)間に、直列接続されたキャパシタ(C)とダイオード(D)もしくはトランジスタ(O)とよりなるメモリセルをそれぞれ接続してなる読み専用メモリの所定のメモリセルを選択して、該キャパシタ(C)を絶縁破壊して書き込む際に、

選択ワード線(WL)に印加する電圧を V_{rs} 、
選択ビット線(BL)に印加する電圧を V_{cs} 、
非選択ワード線(WL)に印加する電圧を V_{rn} 、
非選択ビット線(BL)に印加する電圧を V_{cn} 、
キャパシタ(C)を絶縁破壊する、書きしきい値電圧を V_{wt} 、
ダイオード(D)もしくはトランジスタ(O)の破壊電圧を V_s とすると、

$$V_s \leq V_{rs} - V_{cs}, \dots \dots \dots (1)$$

壊電圧を V_B とすると、

$$V_{WT} \leq V_{RS} - V_{CS}, \dots \dots \dots (1)$$

$$- V_B < V_{RS} - V_{CH} < V_{WT}, \dots \dots (2)$$

$$- V_B < V_{CH} < V_{WT}, \dots \dots \dots (3)$$

$$- V_B < V_{RH} - V_{CH} < V_{WT}, \dots \dots (4)$$

の関係式を満足して書きを行うことを特徴とするプログラマブルリードオンリーメモリの書き方法。

(4) 前記の関係式において、

$$V_{CH} = V_{RS}.$$

が成立することを特徴とする特許請求の範囲第2項記載のプログラマブルリードオンリーメモリの書き方法。

3. 発明の詳細な説明

(概要)

BIC-PROM (Breakdown of Insulator for Conduction-Programmable Read Only Memory) の書き時に、非書きメモリセルのキャパシタに高電圧が印加されて、これが絶縁破壊を起こすのを防止し、かつメモリセルを構成するダイオードもしくはトランジスタの破壊を保護する書き方法、書き回路の工夫が必要となってくる。

(従来の技術と発明が解決しようとする問題点)

BIC-PROMの構造は本出願人によって提案された新規の構造のため、その書き方法も新規な方法が必要となる。

従来のフェーズROMのように、書きを単に高レベルと低レベルの組合せだけで行うのでは、メモリセルを構成するダイオードもしくはトランジスタを破壊し、非書きメモリセルのキャパシタの絶縁破壊を起こす場合が生ずるので、これらを防止する工夫が必要となる。

(問題点を解決するための手段)

上記問題点の解決は、各ワード線(WL)と各ビット線(BL)間に、直列接続されたキャパシタ(C)とダイオード(D)もしくはトランジスタ(Q)とよりなるメモリセルをそれぞれ接続してなるメモリセルアレイ(11)と、

トランジスタの破壊を防止する電源電圧レベルの組合せを考慮したBIC-PROMおよびその書き方法を提案する。

(産業上の利用分野)

本発明はメモリセルを構成するダイオードもしくはトランジスタと、非書きメモリセルのキャパシタの破壊を防止するBIC-PROMおよびその書き方法に関する。

BIC-PROMはメモリセルを構成するキャパシタに高電圧を印加して絶縁破壊を起こさせて導通状態にすることにより書きを行うPROMで、書き時間が数 μ sec と短かく、書き後もダイオードもしくはトランジスタにより論理を構成することができるため、各種情報機器に用いられることが予想される。

しかしながらBIC-PROMを実用化するためには、非書きメモリセルのキャパシタに高電圧が印加されて、これが絶縁破壊を起こすのを防止し、かつメモリセルを構成するダイオードもしくはトラン

ジスタの破壊を保護する書き方法、書き回路の工夫が必要となってくる。

該メモリセルアレイにつきの関係式、
選択ワード線(WL)に印加する電圧を V_{RS} 、
選択ビット線(BL)に印加する電圧を V_{CS} 、
非選択ワード線(WL)に印加する電圧を V_{RH} 、
非選択ビット線(BL)に印加する電圧を V_{CH} 、
キャパシタ(C)を絶縁破壊する、書きしきい値電圧を V_{WT} 、
ダイオード(D)もしくはトランジスタ(Q)の破壊電圧を V_B とすると、

$$V_{WT} \leq V_{RS} - V_{CS}, \dots \dots \dots (1)$$

$$- V_B < V_{RS} - V_{CH} < V_{WT}, \dots \dots (2)$$

$$- V_B < V_{CH} < V_{WT}, \dots \dots \dots (3)$$

$$- V_B < V_{RH} - V_{CH} < V_{WT}, \dots \dots (4)$$

を満足する電圧レベル V_{RS} 、 V_{CS} 、 V_{RH} 、 V_{CH} を与えるドライバ回路

とを含む本発明によるプログラマブルリードオンリーメモリおよび

各ワード線(WL)と各ビット線(BL)間に、直列接続されたキャパシタ(C)とダイオード(D)もしくはトランジスタ(Q)とよりなるメモリセルをそれ

それ接続してなる読出専用メモリの所定のメモリセルを選択して、該キャバシタ(C)を絶縁破壊して書き込む際に、

選択ワード線(WL)に印加する電圧を V_{rs} 、
選択ビット線(BL)に印加する電圧を V_{cs} 、
非選択ワード線(WL)に印加する電圧を V_{rn} 、
非選択ビット線(BL)に印加する電圧を V_{cn} 、
キャバシタ(C)を絶縁破壊する、書きしきい値電圧を V_{wt} 、
ダイオード(D)もしくはトランジスタ(Q)の破壊電圧を V_b とすると、

$$V_{wt} \leq V_{rs} - V_{cs}, \dots \dots \dots (1)$$

$$-V_b < V_{rs} - V_{cn} < V_{wt}, \dots \dots (2)$$

$$-V_b < V_{rn} < V_{wt}, \dots \dots \dots (3)$$

$$-V_b < V_{rn} - V_{cn} < V_{wt}, \dots \dots (4)$$

の関係式を満足して書きを行う本発明による書き込み方法により達成される。

前記の関係式において、

$$V_{cn} = V_{rs}.$$

とすれば、3つの電圧レベルで書き条件を満足で

きる。

(作用)

第1図(1)と(2)(3)はそれぞれ本発明の原理を説明するBIC-PROMのメモリセルアレイのブロック図とメモリセルの等価回路図である。

第1図(2)のメモリセルはダイオードDとキャバシタCを直列に接続してなる例を示し、

第1図(3)のメモリセルはトランジスタQとキャバシタCを接続してなる例を示す。

図において、ロウ(row)0、ロウ1はワード線WL、コラム(column)0、コラム1、コラム2はビット線BLを構成し、(00)、(01)、(02)、(10)、(11)、(12)はそれぞれのワード線とビット線間に接続されたメモリセル、Dはダイオード、Cはキャバシタである。

いま、メモリセル(00)を選択して、これに書きを行う場合を考える。

書き時にメモリセルに印加される電圧を V_w 、ダイオードDの逆耐圧を V_b とすると、

選択セルでは、 $V_w \geq V_{wt}$.

非選択セルでは、 $-V_b < V_w < V_{wt}$.

であることが必要となる。

選択ロウ線の電圧を V_{rs} 、

選択コラム線の電圧を V_{cs} 、

非選択ロウ線の電圧を V_{rn} 、

非選択コラム線の電圧を V_{cn}

とすると、

(1) 選択セルでは、

$$V_{wt} \leq V_{rs} - V_{cs}, \dots \dots \dots (1)$$

になるように、 V_{rs} 、 V_{cs} を選ぶことにより、書きを可能とし、

(2) 非選択セルでは、

(2-1) 選択ロウ線上の非選択セルにおいては、

$V_{cn} > 0$ にして、

$$-V_b < V_{rs} - V_{cn} < V_{wt}, \dots \dots (2)$$

(2-2) 選択コラム線上の非選択セルにおいては、

$$-V_b < V_{rn} < V_{wt}, \dots \dots \dots (3)$$

(2-3) 非選択ロウ線上の非選択セルにおいては、

$$-V_b < V_{rn} - V_{cn} < V_{wt}, \dots \dots (4)$$

になるように、 V_{rs} 、 V_{cs} 、 V_{rn} 、 V_{cn} を選ぶことにより、ダイオードDを破壊しないで、かつキャバシタCは絶縁破壊を起こさない。従って書きは行われない。

以上のように4つの電圧を未知数とする、上記4つの式を満足するように各電圧を選ぶことにより書きを行うことができる。

前記の関係式において、

$$V_{cn} = V_{rs}.$$

とすれば、3つの電圧レベルで書き条件を満足できる。

(実施例)

第1図(4)は本発明によるBIC-PROMの構成を示すブロック図である。

図において、IIはBIC-PROMのセルアレイである。周辺回路はロウデコーダ12、コラムデコーダ13、読出／書き(R/W)アンプ14、アドレスレジスタ15よりなる。

ロウデコーダ12、コラムデコーダ13、(R/W)ア

ンプ14は本発明のドライバ回路を含む周辺回路である。

アドレスレジスタ15はバス16よりアドレス信号を受けて、プログラムコントロールを行い、その出力をロウデコーダ13とコラムデコーダ14へ送る。

(R/W)アンプ14はセルアレイ11のコラム線に接続され、バス16との間でデータの授受を行う。

第2図はBIC-PROMを用いたマイクロコントローラの構成を示すブロック図である。

図において、21はROMで、ここではBIC-PROMを用いる。

22は中央処理装置(CPU)、23はラングムアクセスメモリ(RAM)、24は入出力装置(I/O)、25はバスである。

第3図は本発明を説明するBIC-PROMのメモリセルの構造を示す断面図である。

図のメモリセルは第1図(2)のダイオードとキャバシタを直列に接続してなる例を示す。

図において、1は半導体基板で珪素(Si)基板、2はn型Si層、3はp型Si層、4は素子分離層である。

$$(2) \text{式より}, \quad 1 < V_{cN} < 23.$$

$$(3) \text{式より}, \quad -8 < V_{rN} < 14.$$

$$(4) \text{式より}, \quad -8 < V_{rN} - V_{cN} < 14.$$

となり、これらの条件を満足する V_{rN} と V_{cN} を選択することにより書き込を行う。

さらに、 $V_{cN} = V_{rs} = 15V$ とおくと、

$$(4) \text{式より}, \quad 7 < V_{rN} < 29.$$

となり、例えば $V_{rN} = 8V$ とすると、この電圧レベルと、 $V_{rs} = V_{cN} = 15V$ と、 $V_{cs} = 0V$ との3つの電圧レベルがあれば、上記の条件を満足することができる。

以上のようにすることにより、BIC-PROMに対する書き込を行うことができる。

第4図(1)、および(2)は3つ以上の電位を制御するロウ、およびコラムドライバの一例を示す回路図である。

図において、 $Q_1 \sim Q_{12}$ はMISトランジスタで、奇数番の $Q_1, Q_3, Q_5, Q_7, Q_9, Q_{11}$ はpチャネル型で太線の記号で表し、その他はnチャネル型である。

n酸化珪素(SiO₂)層、5は高濃度にドープされた多結晶珪素(ポリSi)層、6はキャバシタの誘電体層でSiO₂層、7は配線層兼キャバシタの電極でアルミニウム(AI)層である。

n型Si層2とp型Si層3で構成されるダイオードと、ポリSi層5とSiO₂層6とAI層7で構成されるキャバシタとが直列に接続して素子分離層4内に形成される。

いま、このような構造を有するメモリセルに書き込む場合について述べる。

SiO₂層6を例えば200Å程度に薄く形成し、キャバシタの両電極(ポリSi層5とAI層7)間に例えば $V_{Ht} = 14V$ を印加し、SiO₂層6を絶縁破壊して書き込み、プログラムする。

プログラム後にワード線とビット線間に接続されるダイオードの逆耐圧は比較的低く、例えば $V_b = 8V$ とする。

まず、 $V_{cs} = 0V$ とすると、

$$(1) \text{式より}, \quad 14 \leq V_{rs}.$$

つぎに、 $V_{rs} = 15V$ とおくと、

電源は15、8、5Vの3種類の電圧レベルを用い、それぞれ図示の記号で区別した。

各ドライバを制御する入力信号は、バスからのアドレスをデコードした信号とデータ信号とより得られる。

第4図(1)はロウドライバで、 Q_1 と Q_2 、 Q_3 と Q_4 、 Q_5 と Q_{10} はそれぞれCMOSインバータを構成する。

書き込時はR/W信号は低レベル"0"で、従ってnチャネルの Q_1 はオフ、pチャネルの Q_2 は入力に高レベル"1"が入るためオン、pチャネルの Q_3 は入力に低レベル"0"が入るためオンとなる。

このような状態においては、 Q_3 と Q_4 で構成されるインバータは、データ出力より入るインバータの入力信号の"0"、"1"に応じて、その出力(ロウ線に接続される)は15V、8Vとなり、電圧の切り換えができる。

Q_1 と Q_2 、 Q_5 と Q_{10} で構成されるインバータは通常レベルの5Vより15Vに振幅の変換を行う。

読出時は、R/W信号は高レベル"1"で、nチャネルの Q_1 はオン、pチャネルの Q_2 はオフで、p

チャネルの Q_5 はゲート・ソース間を短絡して負荷トランジスタとなり、 Q_3 と Q_4 で構成されるインバータは通常の5Vレベルの動作を行う。

第4回(2)はコラムドライバで、 Q_{11} と Q_{12} で構成されるCMOSインバータの振幅変換回路である。

デコード出力より入るインバータの入力信号の“0”、“1”に応じて、その出力（ロウ線に接続される）は15V、0Vとなり、電圧の切り換えができる。

(発明の効果)

以上詳細に説明したように本発明によれば、3個以上の電位を使うことにより、メモリセルを構成するダイオードもしくはトランジスタを破壊しないで、かつ非書き込みメモリセルのキャパシタの絶縁破壊を起こすことのないBIC-PROMが得られ、かつその書き込みを行うことができる。

4. 図面の簡単な説明

第1回(1)と(2)(3)はそれぞれ本発明の原理を説明

するBIC-PROMのメモリセルアレイのブロック図とメモリセルの等価回路図。

第1回(4)は本発明によるBIC-PROMの構成を示すブロック図。

第2回はBIC-PROMを用いたマイクロコントローラの構成を示すブロック図。

第3回は本発明を説明するBIC-PROMのメモリセルの構造を示す断面図である。

第4回(1)、および(2)は3つ以上の電位を制御するロウ、およびコラムドライバの一例を示す回路図である。

図において、

11はBIC-PROMのセルアレイ、

12はロウデコーダ、

13はコラムデコーダ、

14はR/Wアンプ、

15はアドレスレジスタ、

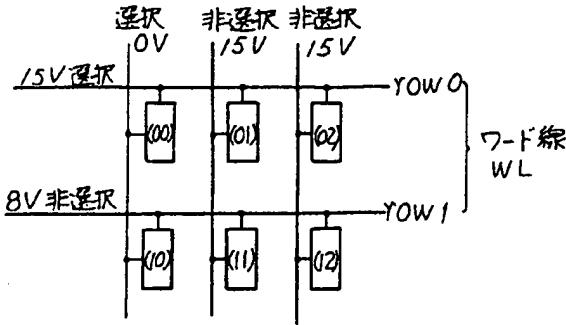
16はバス、

WLはロウ0、ロウ1よりなるワード線、

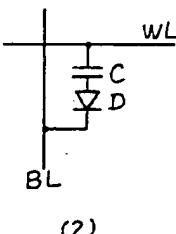
BLはコラム0、コラム1、コラム2

よりなるビット線、
(00)、(01)、(02)、(10)、(11)、(12)
はメモリセル、
Dはダイオード、
Qはトランジスタ、
Cはキャパシタ、
1は半導体基板でSi基板、
2はn型Si層、
3はp型Si層、
4は素子分離層でSiO₂層、
5は高濃度にドープされたポリSi層、
6はキャパシタの誘電体層でSiO₂層、
7は配線層兼キャパシタの電極でAl層
である。

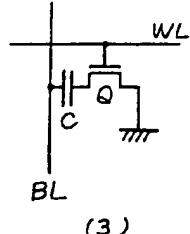
代理人 弁理士 松岡宏四郎



(1)



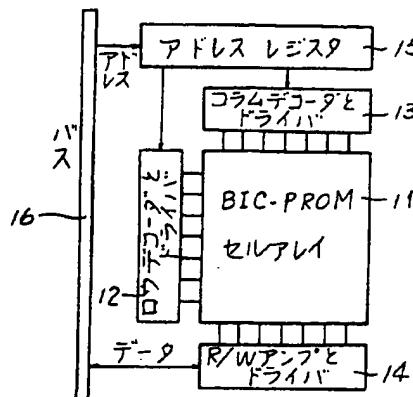
(2)



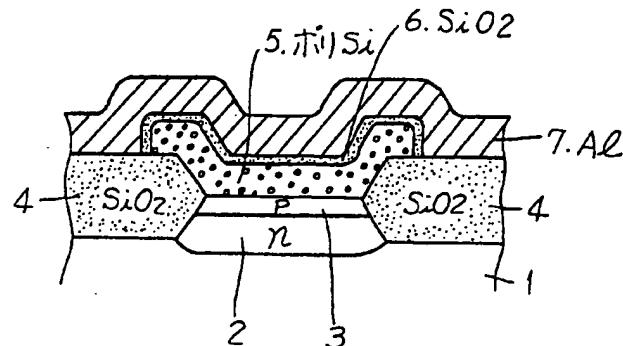
(3)

本発明を説明するBIC-PROMのメモリセルアレイ(1)とメモリセルの等価回路(2),(3)

第1回

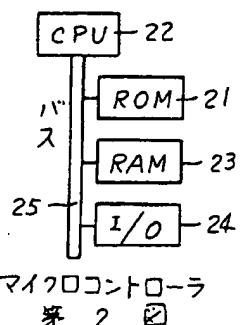


(4) 本発明のBIC-PROM
第 1 図

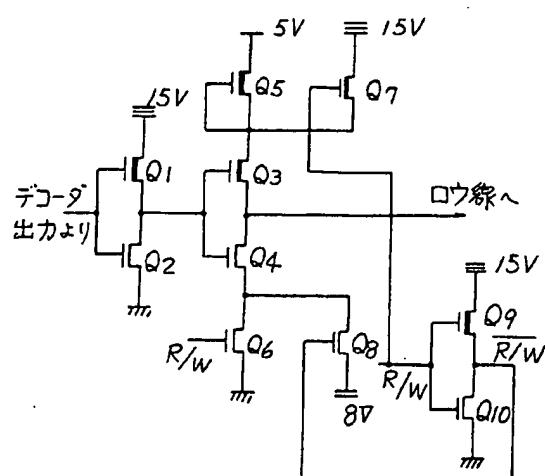


本発明を説明するメモリセルの断面図

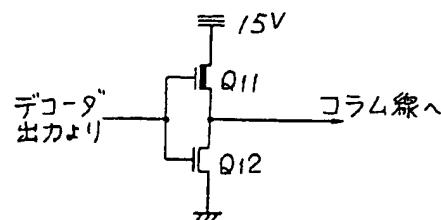
第 3 図



マイクロコントローラ
第 2 図



(1) ロウ ドライバ



(2) コラム ドライバ
電位制御回路の一例

第 4 図